

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-327706

(43)Date of publication of application : 30.11.1999

(51)Int.Cl.

G06F 1/32

G06F 1/00

(21)Application number : 11-065836

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 12.03.1999

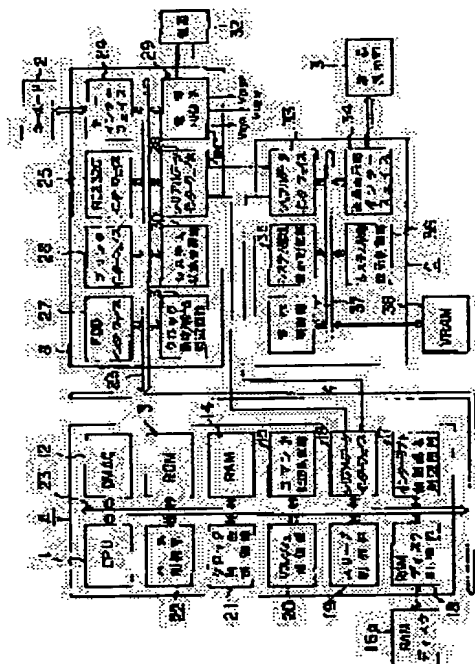
(72)Inventor : KASHIWAGI TOSHIHIRO

(54) DATA PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To perform efficient power control and communication control among divided circuit blocks by dividing an electronic circuit into the plural circuit blocks and supplying an electric power source to the circuit blocks needed for operation in the system modes when various system modes are set.

SOLUTION: Electronic circuits needed to realize functions, etc., in various system modes are divided into plural circuit blocks in circuit units which are necessary and unnecessary at the same time when the various system modes are switched. Different electric power sources capable of controlling the ON and OFF individually for the every divided circuit blocks are supplied and when the various system modes are set, the electric power is supplied to the circuit blocks needed for the operation in the system modes. In this processor, a power supply control part 29 converts the source voltage obtained by the power source 32 consisting of an AC adapter, a dry battery or the like connected to the power supply control part 29 to voltage levels needed for the every blocks and supplies it.



LEGAL STATUS

[Date of request for examination] 12.03.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3328832

[Date of registration] 19.07.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-327706

(43) 公開日 平成11年(1999)11月30日

(51) IntCl⁶

G 0 6 F 1/32
1/00

識別記号

3 7 0

F I

G 0 6 F 1/00

3 3 2 B

3 7 0 D

審査請求 有 請求項の数 2 O L (全 27 頁)

(21) 出願番号 特願平11-65836
(62) 分割の表示 特願平3-251030の分割
(22) 出願日 平成3年(1991)9月30日

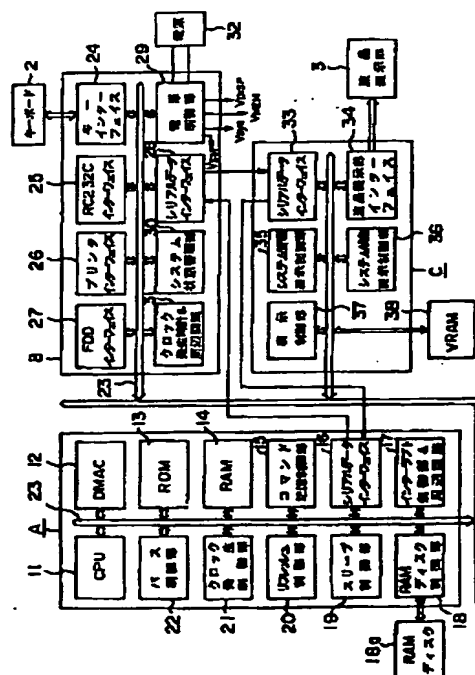
(71) 出願人 000001443
カシオ計算機株式会社
東京都渋谷区本町1丁目6番2号
(72) 発明者 柏樹 敏弘
東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内 (市政
実施による住所表示の変更)

(54) 【発明の名称】 データ処理装置

(57) 【要約】

【課題】 本発明は、使用状態に合わせて必要な機能または性能が制限された各種システムモードを持った情報処理装置において、電子回路を複数のブロックに分割し、そのブロック間で効率の良い電源制御および通信制御を行うことを目的とする。

【解決手段】 電子回路を各種モードの切り替えにおいて同時に要・不要となる回路単位で複数の回路ブロックに分割し、その分割された各回路ブロック毎に別々にON/OFF制御可能な異なる電源を供給し、設定されたモードに合わせて必要な電源の供給を制御する構成、およびその分割された各回路ブロック間をメインCPUの動作が制限された低消費電力状態においてもデータ送受信可能なシリアル信号線によって接続し、メインCPUを介在すること無しに各回路ブロック間でデータの送受信を行う構成とする。



【特許請求の範囲】

【請求項1】 使用状態に合わせて必要な機能または性能が制限された各種システムモードを持った情報処理装置であって、

前記各種システムモードにおける機能または性能を実現するために必要な電子回路を、その各種システムモードの切り替えにおいて同時に要・不要となる回路単位で複数の回路ブロックに分割し、その分割された各回路ブロック毎に、別々にON/OFF制御可能な異なる電源を供給する電源分割供給手段と、

各種システムモードが設定された際には、そのシステムモードでの動作に必要な回路ブロックに電源を供給する電源選択供給手段と、

を具備したことを特徴とするデータ処理装置。

【請求項2】 使用状態に合わせて必要な機能または性能を実現する各種動作モードを持った情報処理装置であって、

前記各種動作モードにおける機能または性能を実現するために必要な電子回路が、その各種動作モードの切り替えにおいて同時に要・不要となる回路単位で分割された複数の回路ブロックと、

その分割された各回路ブロック間を、メインCPUの動作が制限された低消費電力状態においてもデータ送信可能なシリアル信号線によって接続し、メインCPUを介在すること無しに前記各ブロック間でデータの送受信を行う通信手段と、

前記通信手段からの送信コマンドにより、各回路ブロックの動作モードを設定する動作モード設定手段と、

前記通信手段からのステータス情報により、各回路ブロック間で動作状態を確認する動作状態確認手段と、

を具備したことを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、各種機能を実現するための電子回路が複数のブロックに分割して構成されるデータ処理装置に関する。

【0002】

【従来の技術】電池動作が可能な携帯型ノートパソコン等において、電池による動作時間を延ばすために電子回路の省電力化を計ったり、ユーザーの使用状態によってCPUのクロックや動作モードを切り替えることで、無駄な電力を消費しないようにしている。

【0003】

【発明が解決しようとする課題】しかしながら、各種使用状態に応じて必要な電子回路に無駄なく電源を供給したり、低消費電力状態において分割された回路ブロック間で効率良いデータ通信が行われているとは言えなかった。

【0004】本発明の課題は、使用状態に合わせて必要な機能または性能が制限された各種システムモードを持

った情報処理装置において、電子回路を複数のブロックに分割し、そのブロック間で効率の良い電源制御および通信制御を行うことである。

【0005】

【課題を解決するための手段】請求項1の発明の手段は次の通りである。使用状態に合わせて必要な機能または性能が制限された各種システムモードを持った情報処理装置であって、前記各種システムモードにおける機能または性能を実現するために必要な電子回路を、その各種システムモードの切り替えにおいて同時に要・不要となる回路単位で複数の回路ブロックに分割し、その分割された各回路ブロック毎に、別々にON/OFF制御可能な異なる電源を供給する電源分割供給手段と、各種システムモードが設定された際には、そのシステムモードでの動作に必要な回路ブロックに電源を供給する電源選択供給手段と、を具備したことを特徴とする。

【0006】請求項2の発明の手段は次の通りである。

使用状態に合わせて必要な機能または性能を実現する各種動作モードを持った情報処理装置であって、前記各種動作モードにおける機能または性能を実現するために必要な電子回路が、その各種動作モードの切り替えにおいて同時に要・不要となる回路単位で分割された複数の回路ブロックと、その分割された各回路ブロック間を、メインCPUの動作が制限された低消費電力状態においてもデータ送信可能なシリアル信号線によって接続し、メインCPUを介在すること無しに前記各ブロック間でデータの送受信を行う通信手段と、前記通信手段からの送信コマンドにより、各回路ブロックの動作モードを設定する動作モード設定手段と、前記通信手段からのステータス情報により、各回路ブロック間で動作状態を確認する動作状態確認手段と、を具備したことを特徴とする。

【0007】

【発明の実施の形態】以下図面により本発明の一実施例について説明する。図1はデータ処理装置のシステム構成を示す外観図であり、このデータ処理装置は、その中心機器としてパーソナルコンピュータ1を備えている。

【0008】このパーソナルコンピュータ1は、例えば携帯可能なブック型パソコンとして使用され、本体ケースにキーボード2及び液晶表示部3を有し、キーボード2側の右側面にはメモ리카ード装着部4が備えられる。

【0009】また、このパーソナルコンピュータ1における本体ケースの外周側面には、複数の周辺装置との接続端子が備えられ、例えば拡張ディスクドライブ5、プリンタ6、電子手帳(RS232Cを搭載した他の計算機)7や据置式拡張ユニット8等が接続される。そして、この拡張ユニット8には、さらに拡張ディスク装着部9が備えられる。

【0010】図2は上記データ処理装置における主要電子回路の全体構成を示すブロック図であり、この主要電子回路は、3つのチップA、B、Cから構成され、チッ

プAでは、パーソナルコンピュータ1の中心機能に対応するプログラムの実行、演算制御処理等が行なわれる。

【0011】また、チップBでは、各種入出力装置、周辺装置とのインターフェイス処理や、電源状態、入出力モード、動作周波数等のシステム状態の管理が行なわれる。そして、チップCでは、上記プログラム実行情報やシステム管理情報等を液晶表示部3に表示させる表示制御処理が行なわれる。

【0012】上記チップAには、CPU（中央処理装置）11やDMAC（ダイレクトメモリアクセスコントローラ）12、ROM13、RAM14の他、コマンド記憶制御部15、シリアルデータインターフェイス16、インターラプト制御部17、RAMディスク制御部18、スリープ制御部19、リフレッシュ制御部20、クロック発生制御部21、バス制御部22が備えられ、システムバス23により接続される。

【0013】CPU11は、ROM13から読出されるシステムプログラムに応じて、該ROM13に予め記憶されるプログラムや、外部入力されるプログラムを実行するもので、RAM14に対しては、上記プログラム実行及びそのプログラム実行中における必要データ等が入出力される。

【0014】コマンド記憶制御部15は、電源投入時に電源断直前のシステム状態に復帰させるレジュームモードの設定時において、電源断に伴うサスペンド状態移行前のシステムコマンドデータの記憶保持を行なうもので、このコマンド記憶制御部15により記憶保持されたコマンドデータは、電源投入に伴うサスペンド状態の解除処理に応じて読出され電源断直前のシステム状態に復帰される。

【0015】ここで、上記サスペンド状態移行時において記憶保持されるコマンドデータには、チェックサムデータが作成されて同時保持され、サスペンド状態解除時における読出しコマンドデータに基づくチェックサムデータとの一致判断が行なわれる。

【0016】シリアルデータインターフェイス16は、上記チップB及びチップCとの間でシリアルデータの入出力処理を行なうもので、このシリアルデータインターフェイス16では、チップBからチップCを介して与えられた、例えばクロック周波数の設定データやレジュームモードの設定データ等、システム状態を示すシリアルデータが入力され、その応答データ等がチップBに出力される。

【0017】インターラプト制御部17は、入出力される種々の割込み信号に応じて、所定の優先順位に従ってCPU11に対して割込み処理を行なわせるものである。

【0018】RAMディスク制御部18は、該RAMディスク制御部18に接続されたRAMディスク18aに対するデータアクセスを行なうもので、この場合、RA

Mディスク18aはシリアルメモリからなり、フロッピディスクに対するアクセス処理と同様にして扱われる。

【0019】スリープ制御部19は、スリープモードの設定時において、動作中未処理状態での所定時間経過時において、CPU11をホルト（HALT）状態に移行させるもので、上記システム動作中の未処理状態は、システムバス23の使用状態に応じて判断される。

【0020】リフレッシュ制御部20は、RAM14の一部として備えられるDRAMに対するメモリデータのリフレッシュ制御を行なうもので、このリフレッシュ方式には、2種のクロック信号を同一の入力ピンから時分割で入力するCAS（column address strobe）before RAS（row address strobe）方式が用いられる。

【0021】ここで、上記DRAMに対するリフレッシュクロック信号は、通常動作時において、このチップA内で発生されるシステムクロックφSYSに基づき作成され、また、上記レジュームモード設定時におけるサスペンド状態において、上記チップBから供給されるリフレッシュ用クロックφREFRに基づき作成される。

【0022】クロック発生制御部21は、上記シリアルデータインターフェイス16を通して入力されるクロック周波数の設定データに基づき、CPU11における動作クロックを発生させるもので、この場合、CPU11における動作クロック周波数は、5MHz又は10MHzの何れか一方に選択設定される。

【0023】バス制御部22は、CPU11における動作制御に基づき上記各チップ間及びチップ内の各ブロック間におけるシステムバス23での選択的断接制御を行なうもので、このバス制御部22におけるバス制御情報は上記スリープ制御部19に対し、システム動作中未処理状態の判断要素として与えられる。

【0024】一方、上記チップBには、キーインターフェイス24、RS232Cインターフェイス25、プリンタインターフェイス26、FDDインターフェイス27、シリアルデータインターフェイス28の他、電源制御部29、システム状態管理部30、クロック発生部31が備えられ、システムバス23により接続される。上記キーインターフェイス24には、キーボード2が接続され、上記RS232Cインターフェイス25には、例えば前記電子手帳7が接続され、上記プリンタインターフェイス26には、前記プリンタ6が接続され、FDDインターフェイス27には、前記拡張ディスクドライブ5等が接続され、それぞれシステムバス23を介しCPU11との間で入出力制御が行なわれる。

【0025】シリアルデータインターフェイス28は、上記チップC及びチップAとの間でシリアルデータの入出力処理を行なうもので、このシリアルデータインターフェイス28では、例えば表示状態設定データがチップCに与えられ、また、クロック周波数の設定データやレジュームモードの設定データ等がチップCからチップA

に与えられる。そして、各種システム状態の応答データ等はチップAを経由してこのチップBのシリアルデータインターフェイス28に戻される。

【0026】電源制御部29は、該電源制御部29に接続されたACアダプタあるいは乾電池等からなる電源32により得られる電源電圧を、各ブロック毎に必要とする電圧レベルに変換して供給するもので、このチップB上の一部のブロックに対してはシステム管理動作電圧VSMが供給され、チップA上の各ブロックに対してはシステム動作電圧VSYが供給され、また、バックアップを要するメモリブロックに対してはメモリバックアップ電圧VNEMが供給され、さらに、チップC上の各ブロックや液晶表示部3に対しては表示用電圧V DISPが供給される。

【0027】システム状態管理部30は、マイクロコンピュータにより構成され、電源状態、クロック周波数の設定状態、レジュームモードやスリープモードの設定状態、表示モードの設定状態、キー入力モードの設定状態、ディスクメモリのアクセス状態、現在時刻等、このパーソナルコンピュータ1の各システム状態を管理するもので、上記各システム状態の設定データは、上記シリアルデータインターフェイス28を通してチップCやチップAに送られる。

【0028】クロック発生部31は、このチップB上におけるシステム状態管理用の動作クロックφSMと前記レジュームモード設定時におけるサスペンド状態において、チップAのリフレッシュ制御部20に供給するためのリフレッシュ用クロックφREFRとを発生すると共に、現在時刻の計時動作やタイマ動作するもので、このクロック発生部20における現在時刻の計時データは、常時、上記システム状態管理部30に対し与えられる。

【0029】一方、チップCには、シリアルデータインターフェイス33、液晶表示部インターフェイス34の他、システム管理表示制御部35及びシステム状態表示制御部36、表示制御部37が、それぞれシステムバス23を介して接続され、液晶表示部インターフェイス34には前記液晶表示部3が接続され、また、このチップCにおけるシステムバス23に対しては、V (Video)-RAM38が接続される。

【0030】システム管理表示制御部35は、上記チップB上におけるシステム状態管理部30において管理されるクロック周波数やレジュームモード、スリープモード、表示モード、現在時刻等、各種システム状態を選択設定するための画面表示制御、及び電源残量低下警告のための画面表示制御を行なうもので、これらシステム状態の選択設定画面及び電源残量低下警告画面は、上記シリアルデータインターフェイス33を介して入力される各種状態管理データに応じて表示領域上中央に展開すべくウインド画面として作成され、液晶表示部インターフェイス34を通して液晶表示部3にウインド表示され

る。

【0031】この場合、上記システム状態の選択設定画面は、キーボード2におけるキー入力操作によりシリアルデータとして与えられる制御データに基づき適宜表示される。

【0032】システム状態表示制御部36は、上記チップB上におけるシステム状態管理部30において管理されるクロック周波数やレジュームモード、スリープモード、表示モード、現在時刻等の他、キー入力モードやディスクメモリの動作状態等、各種システムの設定状態を示す画面表示制御を行なうもので、このシステム状態の表示画面は、上記シリアルデータインターフェイス33を介して入力される各種状態設定データに応じて表示領域上下端に沿って帯状展開すべく作成され、液晶表示部インターフェイス34を通して液晶表示部3に常時ウインド表示される。

【0033】ここで、チップBのシステム状態管理部30にて管理される各種システム状態データに関する表示制御データや選択設定データ等は、全てシリアルデータとして各チップ上におけるシリアルデータインターフェイス28→33→16を通して入出力処理される。

【0034】図3は上記データ処理装置の各チップ間にて入出力されるシリアルデータのデータ構成を示すもので、シリアルデータは、システム状態の表示制御命令や切換え命令等のコマンドとこのコマンドに応じたデータ、例えばシステム状態の設定内容等を示すデータとが交互に転送される。

【0035】図4は上記データ処理装置の各チップA、B、C上に備えられるシリアルデータインターフェイス16、28、33における入出力処理を示すフローチャートであり、すなわち、1区切りのシリアルデータ入力時には、まずそのシリアルデータが自チップ上ブロックに対するコマンドか否かが判断される（ステップS1、S2）。

【0036】このステップS2において「Y」、つまり、入力されたシリアルデータが自チップ上ブロックに対するコマンドデータであると判断された場合には、そのコマンドデータが取込まれ、コマンド対象ブロックに対してその制御信号が出力される（ステップS3、S4）。

【0037】一方、上記ステップS2において「N」、つまり、入力されたシリアルデータが自チップ上ブロックに対するコマンドデータでないと判断された場合には、該シリアルデータはシリアルバスにおける次のチップ上に備えられたシリアルデータインターフェイスに対しそのまま転送出力される（ステップS4）。

【0038】図5は上記データ処理装置におけるレジューム機能部を除いた電子回路の構成を示すブロック図であり、チップB上におけるシステム状態管理部30は、マイコン（マイクロコンピュータ）39及びメモリスイ

タッチ記憶部40により構成され、前記キーインターフェイス24は、マイコン39及びキー入力ポート41により構成される。

【0039】また、チップC上における液晶表示部インターフェイス34は、液晶表示制御部42、段調・反転制御部43、及び表示バッファ44により構成される。

【0040】ここで、上記システム状態管理部30において記憶管理される各種システム状態情報は、CPU11における動作クロック周波数φSYSの設定情報「5/10 (MHz)」、レジュームモード、スリープモード、反転表示モードそれぞれの設定情報「ON/OFF」、現在時刻の設定情報「時/分」、表示段調の設定情報「8/2 (段調)」、RS232C搭載計算機とのアクセスポートの設定情報「1200/300 (ボー)」、プリンタ接続ピン数の設定情報「16/24 (ピン)」、RS232C搭載機器とのアクセスデータビット長の設定情報「7/8 (ビット)」、RS232C搭載機器に対するパリティチェックの設定情報「ON/OFF」、メモリディスクの動作状態情報「FDD/RAM」、キー入力モードの設定情報「CAPS/NUM」等であり、この内、上記RS232C関連のアクセスポート、アクセスデータビット長、パリティチェックの設定内容、及び上記プリンタピン数の設定内容は、メモリスイッチ記憶部40にセットされる。一方、電源制御部29を通して得られる電源状態情報は、マイコン39により判断される。

【0041】図6は上記データ処理装置のシステム状態管理部30にて管理される各種システム状態情報の液晶表示部3に対する表示状態を示すもので、同図(A)は各種システム状態の表示画面を示す図、同図(B)は各種システム状態情報の選択設定画面を示す図、同図

(C)は電源残量警告画面を示す図である。

【0042】すなわち、図6(A)で示すように、キー入力モードの設定情報「CAPS/NUM」、メモリディスクの動作状態情報「FDD/RAM」、レジュームモード、スリープモードそれぞれの設定情報「RESUME」、「SLEEP」、動作クロックφSYSの設定情報「5/10 (MHz)」、そして、現在時刻の設定情報「時/分」は、何れも現在のシステム状態情報として、上記マイコン39から各シリアルデータインターフェイス28、33及びシステム状態表示制御部36を通し、液晶表示部3に対し常時表示されるもので、キー入力モードの設定情報「CAPS/NUM」は、キーボード2における「CAPS」キー2dあるいは「NUM」キー2eの押下に応じて点灯される。

【0043】また、メモリディスクの動作状態情報「FDD/RAM」は、FDDインターフェイス27又はRAMディスク制御部18を通したディスクアクセス時に対応して、「FDD」又は「RAM」が点灯される。また、レジュームモード、スリープモードそれぞれの設定

情報は、キー入力操作によるレジュームモードあるいはスリープモードの選択設定「ON/OFF」時に対応して、「RESUME」、「SLEEP」が点灯される。また、動作クロックφSYSの設定情報「5/10 (MHz)」は、キー入力操作によるクロック周波数の選択設定時に対応して、「5MHz」又は「10MHz」が点灯される。さらに、現在時刻の設定情報は、クロック発生部31の時計回路において1秒毎あるいは10分の1秒毎に計時される現在時刻「時/分」に対応して更新表示される。

【0044】ここで、上記各種システム状態の選択設定を行なうのに、キーボード2における「SYS」キー2aを操作すると、その制御信号がマイコン39からシリアルデータインターフェイス28、33を通してシステム管理表示制御部35に転送される。すると、システム管理表示制御部35では、各種システム状態の選択設定画面が上記各種システム状態設定情報に基づき作成され、図6(B)で示すように液晶表示部3に表示される。

【0045】この場合、各種システム状態の選択設定操作あるいは該選択設定画面のスクロール操作は、キーボード2における「カーソル」キー2b及び「リターン」キー2cを用いて行なうもので、この制御信号もまた、マイコン39からシリアルデータインターフェイス28を介して出力される。

【0046】すなわち、上記図6(B)における各種システム状態の選択設定画面において、例えばクロック周波数φSYSが「10MHz」に選択されると、システム管理表示制御部35にて作成される画面上のクロック周波数φSYSの設定情報が「10MHz」としてカーソル表示されると共に、そのクロック制御信号がチップA上のクロック発生制御部21に転送され、CPU11に対する動作クロックφSYSが10MHzに切換え設定されると共に、チップC上のシステム状態表示制御部36にクロック設定に応じた表示データが転送され、液晶表示部3の下端に「10MHz」が点灯表示される。

【0047】また、上記図6(B)における各種システム状態の選択設定画面において、例えばレジュームモードが「ON」に選択されると、マイコン39内部におけるシステム状態レジスタにフラグセットされると共に、そのレジュームモードの設定に伴う表示データがチップC上のシステム状態表示制御部36に転送され、液晶表示部3の下端に「RESUME」が点灯表示される。

【0048】さらに、上記図6(B)における各種システム状態の選択設定画面において、例えばスリープモードが「ON」に選択されると、マイコン39内部におけるシステム状態レジスタにフラグセットされると共に、そのスリープモードの設定に伴う表示データがチップC上のシステム状態表示制御部36に転送され、液晶表示部3の下端に「SLEEP」が点灯表示される。

【0049】また、上記図6（B）における各種システム状態の選択設定画面において、例えば表示段調が「2段調」に、反転表示モードが「OFF」に選択されると、システム管理表示部35にて作成される画面上の段調設定情報、反転設定情報がそれぞれ「2段調」、「OFF」としてカーソル表示されると共に、その段調、反転制御信号が段調・反転制御部43に転送され、表示段調が2段調に、反転表示モードがOFFに切換え設定される。

【0050】そして、上記図6（B）における各種システム状態の選択設定画面をスクロール操作して時間情報を表示させた状態で、時刻調整やタイマ時間の調整が行なわれると、マイコン39を通してクロック発生部31の時計回路やタイマ回路が制御され、時刻設定及びタイマ時間が設定されると共に、その時刻設定データがチップC上のシステム状態表示制御部36に転送され、液晶表示部3の下端に該設定時刻が表示される。

【0051】一方、電源制御部29を通して、電源残量が所定量以下に低くなったことがマイコン39により判断されると、電源警告制御信号がチップCにおけるシステム管理表示制御部35に転送され、電源残量低下警告のためのメッセージ画面が作成されると共に、図6（C）で示すように、液晶表示部3にウインド表示されるようになる。

【0052】すなわち、上記複数チップA、B、Cからなるデータ処理装置において、各チップA、B、C上に搭載される多数のブロック間を複数信号線からなるシステムバス23を介して接続すると共に、CPU11の処理に関係しない、つまり、処理速度の高速化を必要としない各種システム状態に関するコマンドやデータを、シリアルデータインターフェイス16、28、33を介してシリアル転送する構成としたので、各チップA、B、Cにおける入出力端子数を極力少なく抑えることができる。

【0053】図7は上記データ処理装置におけるスリープ及びレジューム機能部に係る電子回路の構成を示すブロック図であり、スリープ機能部はCPU11及びスリープ制御部19を中心にして構成され、レジューム機能部はマイコン39及びコマンド判断部45及びSRAM46からなるコマンド記憶制御部15を中心にして構成される。

【0054】スリープ制御部19は、CPU11に対するスリープモードの設定時において、該CPU11からバスコントローラ22に対するバス制御信号を監視してバス使用回数が所定時間内で期待値以下である場合にCPU11を休止状態とする「スリープイン」の制御を行ない、また、キーボード2や他の接続機器からの入力インターラプトが生じた場合にCPU11の休止状態を解除する「スリープアウト」の制御を行なうもので、CPU11では上記「スリープイン」に伴いJOBEND信

号がチップB上のマイコン39に対し出力される。

【0055】コマンド判断部45は、レジュームモードが設定された状態での通常動作時において、CPU11から出力されるI/Oアドレス及びデータが、DMAC12あるいはGDC（グラフィックディスプレイコントローラ）48に対するコマンドであるか否かを判断し、コマンドである場合にゲートアレー等により一義的にSRAMアドレスを作成するもので、つまり、CPU11から出力されるDMAC12あるいはGDC48に対するコマンドデータは、順次SRAM46に対し書込まれ記憶されることになる。

【0056】図8は上記データ処理装置のコマンド判断部45におけるレジュームモード設定時のコマンド書き込み動作を示すタイミングチャートであり、CPU11からのアドレスデータは、CPU動作クロックφSYSの4周期毎に変化し、データは上記アドレスデータの変化時点から動作クロックφSYSの1周期後に出力されるもので、このデータ出力時点から動作クロックφSYS2周期分のI/O書き込みの際し、上記コマンド判断部45においてDMAC12あるいはGDC48に対するコマンドデータと判断された場合には、該CPU11からのコマンドデータはSRAM46に対し書込まれるようになる。

【0057】このSRAM46に対し書込まれたコマンドデータは、パワースイッチやICカード挿抜に伴う電源OFFあるいは前記「スリープイン」の状態が所定時間以上継続した場合になされる電源OFFによるサスペンド状態への移行時において、電源断直前のシステム動作状態として記憶保持されるもので、これにより、電源制御部29における表示用電源V_{DISP}の遮断→リフレッシュ制御部20におけるDRAM47のリフレッシュクロックの切換え→クロック発生制御部21におけるシステム動作クロックφSYSの停止→電源制御部29におけるシステム電源V_{SYS}の遮断が、それぞれチップBのマイコン39の制御により行なわれる。

【0058】この場合、上記サスペンド状態への移行時には、CPU11においてDRAM47及びVRAM38のチェックサムデータが作成されて上記コマンドデータと共にSRAM46に書込まれる。

【0059】そして、パワースイッチのONに伴うサスペンド状態の解除移行時には、電源制御部29におけるシステム電源V_{SYS}の投入→クロック発生制御部21におけるシステム動作クロックφSYSの発振→リフレッシュ制御部20におけるDRAM47のリフレッシュクロックの切換え→電源制御部29における表示用電源V_{DISP}の投入が、それぞれチップBのマイコン39の制御により行なわれるもので、これにより、SRAM46に記憶保持されているコマンドデータが所定の順序で読出されてそれぞれDMAC12、GDC48にセットされ、電源OFF直前のシステム動作状態に復帰される。

【0060】この場合、CPU11において再びDRAM47及びVRAM38のチェックサムデータが作成され、予めSRAM46に記憶させたチェックサムデータと比較されるもので、このチェックサムデータの不一致時においては、上記サスペンド状態の解除処理は中止される。

【0061】すなわち、上記CPU11とこのCPU11からのコマンドデータに基づいて動作するDMAC12及びGDC48を備えたデータ処理装置において、レジュームモードの設定時において、CPU11から上記DMAC12及びGDC48に対して出力されるコマンドデータをコマンド判断部45により検知し、該コマンドデータに応じた所定のSRAMアドレスを作成すると共に、このSRAMアドレスに基づき上記コマンド判断部45により検知されたコマンドデータをSRAM46に対し書き込み記憶させる構成としたので、電源OFFに伴うサスペンド状態への移行に伴い上記ダイナミック回路で構成されるDMAC12及びGDC48に対するクロック信号の供給が停止されても、電源OFF直前のシステム動作状態を上記SRAM46において確実に保持させることができ、上記DMAC12等を高価で電源の供給を要するCMOS回路等により構成する必要はない。図9は上記データ処理装置のスリープ機能部の中心を司るCPU11及びスリープ制御部19の内部構成を示すブロック図であり、スリープ制御部19は、バス使用クロック発生回路49、バス使用回数カウンタ50、及びカウントラッチ回路51を備えて構成され、また、CPU11には、メイン制御部52に加えて所定時間毎のI/O読み込み時にバス使用回数が予め設定される期待値以下に低下したか否かを判断する一致判断部53が備えられる。

【0062】図10は上記データ処理装置におけるCPU11のメイン制御部52からバス制御部22に出力されるバス制御信号とその動作内容との関係を示すもので、バス制御信号はBS0、BS1、BS2の3ビット構成とされ、“000”で割込み承認、“100”でI/Oリード、“010”でI/Oライト、“110”でホルト、“001”で命令読み込み、“101”でメモリリード、“011”でメモリライト、がそれぞれ得られ、“111”で非動作状態に制御される。

【0063】上記バス使用クロック発生回路49は、CPU11からバス制御部22に対するバス制御信号BS0、BS1、BS2を入力し、バス動作が成される毎にバス使用クロックを発生するもので、このバス使用クロック発生回路49からのクロック信号はバス使用回数カウンタ50に出力される。

【0064】このバス使用回数カウンタ50は、CPU11における所定時間毎のI/Oリード間隔でバス使用回数をカウントするもので、このバス使用回数カウンタ50によりカウントされた所定時間内バス使用回数デ

タは、CPU11からのI/Oリード信号に応じてカウントラッチ回路51にラッチされ、CPU11のメイン制御部52を通して一致判断部53に転送される。

【0065】ここで、上記一致判断部53において、予め設定された期待値と、上記所定時間内バス使用回数とが一致するか、あるいは期待値以下である場合、つまり、バス使用回数が期待値まで低下した場合には、その一致判定信号がメイン制御部52に出力され、「スリープイン」を示すJOBEND信号がチップB上のマイコン39に対し出力されると共に、CPU11がホルト(HALT)状態に設定される。

【0066】この場合、上記CPU11の一致判断部53にて予め設定された期待値は、例えばバス使用カウンタ50におけるカウントデータを取込む際等、スリープ条件を判断する時にもバスが使用されバス使用クロックが発生されるので、このことを考慮して上記期待値は少なくとも“1”以上に設定される。

【0067】図11は上記データ処理装置のスリープモード設定時におけるスリープ処理を示すフローチャートであり、CPU11のメイン制御部52から所定時間毎に出力されるI/Oリード信号に応じてバス使用回数カウンタ50がリセットされた後、所定時間経過後に再びI/Oリード信号が出力されると、上記バス使用回数カウンタ50にてカウントされたバス使用回数データがカウントラッチ回路51にラッチされ、CPU11のメイン制御部52に読み込まれて一致判断部53に転送される(ステップA1～A4)。

【0068】ここで、上記所定時間内バス使用回数が予め設定された期待値以下と判断された場合、つまり、CPU11に基づく新たなシステム動作が略無しに等しいと判断された場合には、上記一致判断部53からの一致判定信号がメイン制御部52に対して出力される(ステップA5)。

【0069】すると、メイン制御部52から「スリープイン」を示すJOBEND信号“1”がチップB上のマイコン39に対し出力されると共に、CPU11がホルト(HALT)状態に設定されその制御動作が休止される(ステップA6)。

【0070】このCPU11の休止(ホルト)によるスリープ状態において、例えばキーボード2におけるキー入力動作、あるいはRS232C搭載機器やマウス等の他の接続機器からの入力動作に応じてインターラプトが生じると、インターラプト制御部17を通して上記CPU11のメイン制御部52に対しスリープアウト信号が出力される(ステップA7)。

【0071】すると、メイン制御部52からチップB上のマイコン39に対し出力されているJOBEND信号が“0”にリセットされると共に、CPU11のホルト(HALT)状態が解除されその制御動作が開始される。(ステップA8)。

【0072】すなわち、上記CPU11に対しシステムバス23を介して複数のブロックが接続されたデータ処理装置において、バス使用回数カウンタ50によりバス使用回数をカウントすると共に、そのカウントデータを所定時間毎にカウンタラッチ回路51を通してCPU11のメイン制御部52に取込み、所定時間内のバス使用回数が予め設定された期待値以下であることが一致判断部53において判断された場合には、CPU11の動作を休止させてホルト（HALT）状態に設定する構成としたので、CPU11において新たな制御処理が無い状態を確実に判定することができる。

【0073】これにより、例えば長時間の処理を要するアプリケーションプログラムの実行中において、一定時間キー入力が無いことで誤ってスリープ状態の設定を招くことなく、実際の動作状態にあるCPU11が突如OFF状態やHALT状態に移行するのを防止することができる。

【0074】図12は上記データ処理装置におけるレジューム制御の中心を司るマイコン39の内部構成を示すブロック図であり、このマイコン39の制御部54には、キーボード2の他、チップAのCPU11に対する入出力ポート55、スリープモードやレジュームモードの有無とその機能状態を示すシステム状態レジスタ56、CPU11のスリープ状態継続時間をカウントするスリープカウンタ57、電源残量が所定量より高いことを判断する残量判断部58、電源のON/OFF操作を行なうパワースイッチ59、そして、シリアルデータインターフェイス28が接続される。

【0075】上記入出力ポート55には、CPU11のスリープ状態及びサスペンド状態移行時にJOBEND信号“1”が与えられるJOBENDフラグエリア55a、レジュームモードの設定時におけるサスペンド状態解除の際にCPU11の正常復帰に伴いSET信号“1”が与えられるSETフラグエリア55b、レジュームモードの設定時におけるサスペンド状態解除の際にCPU11の異常復帰に伴いエラー信号“1”が与えられエラーフラグエリア55cが備えられる。

【0076】上記システム状態レジスタ56には、スリープモードの設定時においてフラグ“1”がセットされるスリープモードレジスタ56a、レジュームモードの設定時においてフラグ“1”がセットされるレジュームモードレジスタ56b、スリープ状態への移行時においてフラグ“1”がセットされるスリープレジスタ56c、サスペンド状態への移行時においてフラグ“1”がセットされるサスペンドレジスタ56dが備えられる。

【0077】上記スリープカウンタ57は、システム状態レジスタ56のスリープレジスタ56cにフラグ“1”がセットされた際にリセットされると同時に、システム状態管理用の動作クロックφSMに応じてカウントアップするもので、このスリープカウンタ57からは、

予め設定されたスリープ時間に対応してそのキャリ信号が制御部54に出力される。

【0078】図13は上記データ処理装置のレジュームモード設定時におけるレジューム処理を示すフローチャートであり、レジュームモードの設定時において、CPU11がスリープ状態に移行することで入出力ポート55のJOBENDフラグエリア55aにJOBEND信号“1”が与えられると、システム状態レジスタ56のスリープレジスタ56cにフラグ“1”がセットされると共に、スリープカウンタ57がリセットされ、同時にクロックφSMに応じたスリープ時間のカウント動作が開始される（ステップB1～B3）。

【0079】ここで、ケース1として、CPU11のスリープ状態が予め設定されたスリープ時間を経過し、上記スリープカウンタ57からのカウンタキャリが制御部54に出力されると、サスペンド状態に移行すべく、まず、残量判断部58において電源残量が所定量より高い状態にあるか否か判断される（ステップB4、B5）。

【0080】また、ケース2として、前記ステップB1において「No」、つまり、JOBEND信号“1”が与えられていないキースキャン等の通常処理の状態において、パワースイッチ59がOFFされると、上記同様サスペンド状態に移行すべく、まず、残量判断部58において電源残量が所定量より高い状態にあるか否か判断される（ステップB1→B6、B7→B5）。

【0081】さらに、ケース3として、上記ステップB4において「No」、つまり、CPU11のスリープ状態が予め設定されたスリープ時間を経過しない状態であっても、そのままパワースイッチ59がOFFされると、上記同様サスペンド状態に移行すべく、まず、残量判断部58において電源残量が所定量より高い状態にあるか否か判断される（ステップB4→B8、B9→B5）。

【0082】一方、上記ステップB4において「No」、つまり、CPU11のスリープ状態が予め設定されたスリープ時間を経過しない状態にあって、パワースイッチ59がOFFされる以前に、キーボード2からのキー操作信号が制御部54に入力されると、キー入力インターラプト信号がチップA上のインターラプト制御部17に対し出力され、CPU11にはスリープアウト信号が供給されてそのスリープ状態は解除される（ステップB4→B8～B12）。

【0083】なお、上記CPU11のスリープ状態におけるスリープカウンタ57のカウント動作中には、ステップB3、B4→B8～B13の処理が繰返し実行される。そして、上記ケース1またはケース2またはケース3の処理を経て、サスペンド状態に移行すべく、電源残量の確認が行なわれた際に、ステップB5において「No」、つまり、残量判断部58において、電源残量は所定量以下に低下したと判断されると、制御部54からサ

スベンド状態への移行不可を示すシリアルデータがシリアルデータインターフェイス28を通してチップC上のシステム管理表示制御部35に転送され、電源残量不足によるレジャー機能キャンセルメッセージの表示処理が実行される(ステップB5→B14)。

【0084】図14は上記データ処理装置のレジャーモード設定時における液晶表示部3によるレジャー機能キャンセルメッセージの表示状態を示す図であり、同図(A)は上記電源残量不足に伴うレジャー機能キャンセルメッセージの表示状態を示す図、同図(B)はサ

スベンド状態解除時のCPUエラーに伴うレジャー機能キャンセルメッセージの表示状態を示す図である。

【0085】そして、上記図14(A)で示すように、電源残量不足に伴うレジャー機能キャンセルメッセージが表示された状態で、キーボード2におけるリターンキー2cが操作されると、制御部54から電源制御部29に対し電源OFFの制御信号が出力され、電源制御部29によりシステム動作電圧V_{SY}S、メモリバックアップ電圧V_{MEM}、表示用電圧V_{DISP}の全ての電源が遮断されるようになる(ステップB15、B16)。

【0086】一方、上記ステップB5において「Yes」、つまり、残量判断部58において、電源残量は所定量より高い状態に維持されていると判断された場合には、制御部54からレジャーモードイン、つまり、サスベンドインの要求を示すシリアルデータが各シリアルデータインターフェイス28→33→16を介し、チップA上のインターラプト制御部17に転送され、CPU11に対しサスベンドイン制御信号「SUS IN」が供給される(ステップB5→B17)。

【0087】図15は上記データ処理装置のCPU11におけるサスベンドイン制御処理を示すフローチャートであり、CPU11に対しインターラプト制御部17を通して上記サスベンドイン制御信号「SUS IN」が供給されると、CPU11では、チップCのGDC48を通してVRAM38に対し表示データが描画中であるか否か判断される(ステップC1、C2)。

【0088】このステップC2において「Yes」、つまり、GDC描画中である場合にはその描画処理状態が維持され、該GDC描画処理が終了すると、その描画アドレスデータがサスベンド状態移行直前の表示アドレス情報としてSRAM46に対し記憶保持される(ステップC2、C3)。

【0089】ここで、CPU11では、DRAM47及びVRAM38における記憶データのチェックサムデータが作成され、このチェックサムデータは上記SRAM46に対し記憶保持される(ステップC4、C5)。

【0090】そして、CPU11からチップB上の入出力ポート55におけるJOBENDフラグエリア55aに対し、サスベンドインに伴うJOBEND信号「1」が出力される(ステップC6)。

【0091】こうして、入出力ポート55のJOBEND Dフラグエリア55aに対し、CPU11のサスベンドインに伴うJOBEND信号「1」が与えられると、まず、制御部54から電源制御部29を通して表示用電源V_{DISP}が遮断される(ステップB18、B19)。

【0092】次に、制御部54から各シリアルデータインターフェイス28→33→16を介してチップA上のリフレッシュ制御部20に対しリフレッシュ切換え要求を示すデータが転送され、該リフレッシュ制御部20には、クロック発生制御部21からのシステムクロックφ_{SY}Sが遮断されリフレッシュクロック(CAS、RAS)を作成すべく基本クロックとして、チップB上のクロック発生部31からのリフレッシュ用クロックφ_{REFR}のみが供給される(ステップB20)。

【0093】すると、制御部54から各シリアルデータインターフェイス28→33→16を介してチップA上のクロック発生制御部21に対しクロック停止要求を示すデータが転送され、該クロック発生制御部21における全てのクロック発生動作が停止されると共に、そのクロック発生停止状態がチップAのシリアルデータインターフェイス16からチップBのシリアルデータインターフェイス28を通して制御部54に対し通知確認されると、さらに、制御部54から電源制御部29を通してシステム電源V_{SY}Sが遮断される(ステップB21～B23)。

【0094】これにより、データ処理装置は、レジャーモードの設定に伴うサスベンド状態となる。

【0095】この場合、チップA上のSRAM46においては、上記CPU11におけるサスベンド状態移行直前のDMAC12、GDC48の各デバイスに対するコマンドデータが、コマンド判断部45を通して予め保持されると共に、GDC48に対する描画アドレスデータ及びDRAM47、VRAM38のチェックサムデータも保持される。

【0096】図16は上記データ処理装置のレジャーモード設定時におけるサスベンドアウト制御処理を示すフローチャートであり、データ処理装置の使用を開始すべくパワースイッチ59がONされると、まず、制御部54から電源制御部29を通してシステム電源V_{SY}Sが投入される(ステップD1、D2)。

【0097】次に、制御部54から各シリアルデータインターフェイス28→33→16を介してチップA上のクロック発生制御部21に対しクロック発振要求を示すデータが転送され、該クロック発生制御部21におけるクロック発生動作が開始されると共に、そのクロック発生動作状態がチップAのシリアルデータインターフェイス16からチップBのシリアルデータインターフェイス28を通して制御部54に対し通知確認される(ステップD3、D4)。

【0098】すると、さらに、制御部54から各シリア

ルデータインターフェイス28→33→16を介してチップA上のリフレッシュ制御部20に対しリフレッシュ切換え要求を示すデータが転送され、該リフレッシュ制御部20には、リフレッシュクロック(CAS, RAS)を作成すべく基本クロックとして、チップB上のクロック発生部31からのリフレッシュ用クロックφREFRと共に上記クロック発生制御部21からのシステムクロックφSYSが供給される(ステップD5)。

【0099】そして、制御部54から電源制御部29を通して表示用電源VDISPが投入されると共に、制御部54からサスペンドアウトの要求を示すシリアルデータが各シリアルデータインターフェイス28→33→16を介し、チップA上のインターラプト制御部17に転送され、CPU11に対しサスペンドアウト制御信号「SUS OUT」が供給される(ステップD6, D7)。

【0100】図17は上記データ処理装置のCPU11におけるサスペンドアウト制御処理を示すフローチャートであり、CPU11に対しインターラプト制御部17を通して上記サスペンドアウト制御信号「SUS OUT」が供給されると、CPU11では、前記サスペンド状態を経たDRAM47及びVRAM38における記憶データのチェックサムデータが作成される(ステップE1, E2)。

【0101】そして、CPU11には、SRAM46に予め記憶保持されたサスペンド状態移行時のDRAM47及びVRAM38における記憶データのチェックサムデータが読込まれ、上記ステップE2において作成された新たなチェックサムデータと一致するか否かを判断される(ステップE3, E4)。

【0102】このステップE4において「No」、つまり、サスペンド状態移行時におけるDRAM47, VRAM38のチェックサムデータと、サスペンド状態解除時における同DRAM47, VRAM38のチェックサムデータとが一致せず、該DRAM47, VRAM38内の記憶データに異常が生じたと判断されると、CPU11から入出力ポート55のエラーフラグエリア55cに対しサスペンドアウト異常に伴うエラー信号“1”が出力される(ステップE4, E5)。

【0103】すると、マイコン39では、制御部54からサスペンド状態の復帰(解除)不可を示すシリアルデータがシリアルデータインターフェイス28を通してチップC上のシステム管理表示制御部35に転送され、前記図14(B)で示すように、CPUエラーによるレジューム機能キャンセルメッセージの表示処理が実行される(ステップD8→D9)。

【0104】そして、上記図14(B)で示すように、サスペンド状態解除時のCPUエラーに伴うレジューム機能キャンセルメッセージが表示された状態で、キーボード2におけるリターンキー2cが操作されると、制御部54からCPU11に対しリセット信号が出力され、

このデータ処理装置は上記レジューム機能の設定に拘らずイニシャルセット(初期設定)される(ステップD10, D11)。

【0105】なお、上記CPU11からのエラー信号“1”がマイコン39に対し出力されない場合でも、該マイコン39の制御部54からサスペンドアウトの要求データが出力されてから所定時間経過以前までに、CPU11からその正常復帰に伴うSET信号“1”が入出力ポート55のSETフラグエリア55bに与えられないと、上記エラー信号“1”が与えられた場合同様、制御部54からサスペンド状態の復帰(解除)不可を示すシリアルデータがシリアルデータインターフェイス28を通してチップC上のシステム管理表示制御部35に転送され、上記図14(B)で示すように、レジューム機能キャンセルメッセージの表示処理が実行される(ステップD8→D12, D13→D9)。

【0106】この場合も上記同様、キーボード2におけるリターンキー2cを操作することで、制御部54からCPU11に対しリセット信号が出力され、このデータ処理装置は上記レジューム機能の設定に拘らずイニシャルセット(初期設定)される(ステップD10, D11)。

【0107】一方、上記ステップE4において「Yes」、つまり、サスペンド状態移行時におけるDRAM47, VRAM38のチェックサムデータと、サスペンド状態解除時における同DRAM47, VRAM38のチェックサムデータとが一致し、該DRAM47, VRAM38内の記憶データは正常に保持されていると判断されると、SRAM46に予め記憶保持されたサスペンド状態移行前のCPU11からDMAC12及びGDC48の各デバイスに対するコマンドデータが読出され、該DMAC12及びGDC48に対して所定の順序でセットされる(ステップE4→E6)。

【0108】また、上記コマンドデータの復帰処理に伴い、上記SRAM46に予め記憶保持されたサスペンド状態移行前のGDC48に対する描画アドレスデータが読出され、該GDC48に対してセットされる(ステップE7)。

【0109】そして、CPU11からその正常復帰に伴うSET信号“1”が入出力ポート55のSETフラグエリア55bに対して出力され、このデータ処理装置はレジュームモードの設定に伴うサスペンド状態から復帰される(ステップE8)。

【0110】すなわち、電源OFFに伴うサスペンド状態への移行に際しても、DRAM47及びVRAM38におけるメモリ内容を保持させるレジューム機能を備えたデータ処理装置において、上記電源OFFに伴うサスペンド状態への移行時には、DRAM47及びVRAM38のメモリデータに基づくチェックサムデータをCPU11にて作成し、SRAM46に対し記憶保持させる

と共に、電源ONに伴うサスペンド状態解除時には、再びDRAM47及びVRAM38のメモリデータに基づくチェックサムデータをCPU11にて作成し、上記SRAM46に予め記憶させたサスペンド状態移行時におけるチェックサムデータとの比較判断を行なって、一致判断が得られた場合にのみ、SRAM46に予め記憶保持されたDMAC12及びGDC48に対するコマンドデータをセットし、電源OFF以前のシステム状態復帰を図る構成としたので、例えばサスペンド状態における電圧の低下等によりメモリ内容が変化した場合の電源再起動時において、異常な動作、表示が行なわれたり、データ破壊が生じる等の不具合発生を未然に防止することができる。

【0111】図18は上記データ処理装置におけるリフレッシュ制御部20の内部構成を示す回路図であり、チップA上におけるクロック発生制御部21からのシステムクロック ϕ SYSは、シフトレジスタ60a、60bにそれぞれシフトクロックCKとして供給され、チップB上におけるクロック発生部31からのリフレッシュ用クロック ϕ REFRは、分周回路61及びアンドゲートAND3の第2入力に供給される。

【0112】また、レジャーモード設定時におけるサスペンドイン及びサスペンドアウトのそれぞれに伴うマイコン39からのリフレッシュ切換え要求信号は、切換え信号発生部62に供給される。

【0113】切換え信号発生部62は、サスペンドアウトに伴う切換え要求信号が供給された際に“1”、サスペンドインに伴う切換え要求信号が供給された際に“0”となるリフレッシュ切換え信号Xを出力するもので、この切換え信号発生部62からのリフレッシュ切換え信号Xは、アンドゲートAND1の第1入力に供給されると共に、インバータINV1を介してアンドゲートAND2及び上記アンドゲートAND3の各第1入力に供給される。

【0114】上記分周回路61は、上記チップB上のクロック発生部31からのリフレッシュ用クロック ϕ REFRの4周期毎に“1”“0”に変化するリフレッシュタイミング信号STを作成するもので、この分周回路61からのリフレッシュタイミング信号STは、上記アンドゲートAND1及びアンドゲートAND2それぞれの各第2入力に供給される。

【0115】アンドゲートAND1からの出力信号は、フリップフロップFF1の反転セット端子Sに供給されると共に、上記シフトレジスタ60a、60bそれぞれの反転リセット端子Rに供給される。フリップフロップFF1からの出力信号Qは、シフトレジスタ60aの入力端子Iに供給されると共に、インバータINV2を介してアンドゲートAND4の第1入力に供給される。シフトレジスタ60aからの出力信号Oは、シフトレジスタ60bの入力端子Iに供給されると共に、インバータ

INV3を介してアンドゲートAND5の第1入力に供給される。そして、シフトレジスタ60bの出力信号Oは、上記フリップフロップFF1のリセット端子Rに供給される。

【0116】一方、アンドゲートAND2からの出力信号は、アナログディレイ回路63に供給されると共に、フリップフロップFF2の反転セット端子Sに供給され、アンドゲートAND3からの出力信号は、フリップフロップFF2及びフリップフロップFF3の各リセット端子Rに供給される。

【0117】アナログディレイ回路63は、上記リフレッシュ切換え信号Xが“0”、つまり、サスペンドインに伴う切換え要求信号が供給され、且つ、リフレッシュタイミング信号STが“1”になった際に、その遅延信号、つまり、リフレッシュタイミングディレイ信号STDを発生するもので、このアナログディレイ回路63からのリフレッシュタイミングディレイ信号STDは、上記フリップフロップFF3の反転セット端子Sに供給される。

【0118】そして、フリップフロップFF2からの反転出力信号Qは、上記アンドゲートAND4の第2入力に供給され、また、フリップフロップFF3からの反転出力信号Qは、上記アンドゲートAND5の第2入力に供給される。

【0119】ここで、アンドゲートAND4からはCAS (column address strobe) が、アンドゲートAND5からはRAS (row address strobe) がそれぞれDRAM47に対するリフレッシュクロックとして出力される。

【0120】図19は上記データ処理装置のリフレッシュ制御部20におけるリフレッシュクロック(CAS、RAS)の発生動作を示すタイミングチャートであり、まず、通常動作時の切換え要求信号が供給される状態で、切換え信号発生部62からのリフレッシュ切換え信号Xが“1”である場合には、アンドゲートAND2及びアンドゲートAND3の出力信号は何れも“0”となり、フリップフロップFF2及びフリップフロップFF3の各反転出力信号Qは何れも“1”にセットされ、アンドゲートAND4及びアンドゲートAND5の各第2入力に供給される。

【0121】そして、分周回路61から出力されるリフレッシュタイミング信号STが“1”である場合には、アンドゲートAND1の出力信号が“1”となりフリップフロップFF1及びシフトレジスタ60aの各出力信号が“0”に固定されるので、上記アンドゲートAND4及びアンドゲートAND5の各第1入力には“1”が供給され、リフレッシュクロックCAS及びRASは何れも発生されない。

【0122】ここで、分周回路61から出力されるリフレッシュタイミング信号STが“0”に変化すると、アンドゲートAND1の出力信号が“0”、フリップフロ

21

ップドF1の出力信号Qが“1”となって、まず、アンドゲートAND4からリフレッシュクロックCAS
“0”が発生され、続いてシフトレジスタ60aの出力
信号Oが“1”となって、アンドゲートAND5からリ
フレッシュクロックRAS“0”が発生される。

【0123】この通常動作時におけるリフレッシュクロ
ック(CAS before RAS)は、この後にシフトレジ
スタ60bの出力信号Oが“1”となり、上記フリップ
フロップFF1がリセットされることで、それぞれ
“1”に戻される。

【0124】つまり、通常動作時には、リフレッシュタイ
ミング信号STの“1”→“0”変化に伴い、上記シ
フトレジスタ60aによるシステムクロックφSYSの計
数遅れをもって、順次リフレッシュクロック(CAS be
fore RAS)が発生される。

【0125】一方、サスペンドインに伴う切換え要求信
号が供給される状態で、切換え信号発生部62からのリ
フレッシュ切換え信号Xが“0”である場合には、アン
ドゲートAND2の出力信号は、分周回路61からのリ
フレッシュタイミング信号STの変化に応じて“1”

“0”変化し、また、アンドゲートAND3の出力信号
は、クロック発生部31からのリフレッシュ用クロック
φREFRの変化に応じて“1”“0”変化することにな
る。この際、フリップフロップFF1の出力信号Q及び
シフトレジスタ60aの出力信号Oは何れも“0”とな
っているため、アンドゲートAND4及びアンドゲート
AND5の各第1入力は“1”に固定される。

【0126】そして、リフレッシュタイミング信号ST
が“0”→“1”に変化した場合には、アンドゲートA
ND2の出力信号も“0”→“1”に変化するので、フ
リップフロップFF2の反転出力信号Qは“1”となっ
てアンドゲートAND4からのリフレッシュクロックC
ASは発生されない。

【0127】この場合、アナログディレイ回路63から
リフレッシュタイミングディレイ信号STD“1”が発生
されるが、フリップフロップFF3の反転出力信号Qは
“1”となってアンドゲートAND5からのリフレッシュ
クロックRASは発生されない。

【0128】この後、上記リフレッシュタイミング信号
STが“1”→“0”に変化すると、アンドゲートAN
D2からの出力信号が“0”となることで、フリップフ
ロップFF2からの反転出力信号Qは“0”となり、ア
ンドゲートAND4からリフレッシュクロックCASが
発生される。

【0129】すると、アナログディレイ回路63からの
リフレッシュタイミングディレイ信号STDも“0”にな
ることで、フリップフロップFF3からの反転出力信
号Qは“0”となり、アンドゲートAND5からリフレ
ッシュクロックRASが発生される。

【0130】このサスペンドインに伴うリフレッシュ

22

クロック(CAS before RAS)は、この後にクロック
発生部31からのリフレッシュ用クロックφREFRが
“0”→“1”に変化して各フリップフロップFF2、
FF3が何れもリセットされることで、それぞれ“1”
に戻される。

【0131】つまり、サスペンドインの状態では、前記
クロック発生制御部21からのシステムクロックφSYS
の供給が停止されるものの、リフレッシュタイミング信
号STの“1”→“0”変化に伴い、上記アナログディ
レイ回路63によるリフレッシュタイミングディレイ信
号STDの遅れをもって、順次リフレッシュクロック(C
AS before RAS)が発生される。

【0132】すなわち、CAS before RAS方式によ
るDRAM47のリフレッシュ制御部20を備えたデー
タ処理装置において、サスペンド状態でも必要な低周期
のクロック信号を発生するクロック発生部31に基づ
き、分周回路61を通してリフレッシュタイミング信号
STを作成すると共に、このリフレッシュタイミング信
号STを遅延させてリフレッシュタイミングディレイ信
号STDを得るアナログディレイ回路63を設け、上記リ
フレッシュタイミング信号STに応じてアンドゲートA
ND2、フリップフロップFF2、アンドゲートAND
4を通してリフレッシュクロックCASを発生させると
共に、上記アナログディレイ回路63からのリフレ
ッシュタイミングディレイ信号STDに応じてフリップフロ
ップFF3、アンドゲートAND5を通してリフレッシュ
クロックRASを発生させる構成としたので、レジャー
ムモードの設定時におけるサスペンド状態への移行に際
し、高速のシステム動作クロックφSYSを発生させるク
ロック発生制御部21の動作を停止させても、DRAM
47に対する確実なリフレッシュを施すことができ、サ
スペンド時において更なる低消費電力化が図れるよう
になる。

【0133】したがって、上記構成のデータ処理装置に
よれば、電源OFFに伴うサスペンド状態への移行に際
しても、DRAM47及びVRAM38におけるメモリ
内容を保持させるレジャーム機能を備えたもので、上記
電源OFFに伴うサスペンド状態への移行時には、DR
AM47及びVRAM38のメモリデータに基づくチェ
ックサムデータをCPU11にて作成し、SRAM46
に対し記憶保持させると共に、電源ONに伴うサスペ
ンド状態解除時には、再びDRAM47及びVRAM38
のメモリデータに基づくチェックサムデータをCPU1
1にて作成し、上記SRAM46に予め記憶させたサス
ペンド状態移行時におけるチェックサムデータとの比較
判断を行なって、一致判断が得られた場合のみ、SR
AM46に予め記憶保持されたDMAC12及びGDC
48に対するコマンドデータをセットし、電源OFF以
前のシステム状態復帰を図る構成としたので、例えばサ
スペンド状態における電圧の低下等によりメモリ内容が

変化した場合の電源再起動時において、異常な動作、表示が行なわれたり、データ破壊が生じる等の不具合発生を未然に防止することができる。

【0134】

【発明の効果】請求項1の発明によれば、各種システムモードにおける機能または性能を実現するために必要な電子回路を、その各種システムモードの切り替えにおいて同時に要・不要となる回路単位で複数の回路ブロックに分割し、その分割された各回路ブロック毎に、別々にON/OFF制御可能な異なる電源を供給し、各種システムモードが設定された際には、そのシステムモードでの動作に必要な回路ブロックに電源を供給するようにしたので、使用状態に合わせて無駄のない最適な電源供給を行うことができ、電池寿命を延ばすことが可能となる。

【0135】請求項2の発明によれば、各種動作モードにおける機能または性能を実現するために必要な電子回路が、その各種動作モードの切り替えにおいて同時に要・不要となる回路単位で分割された複数の回路ブロック間を、メインCPUの動作が制限された低消費電力状態においてもデータ送信可能なシリアル信号線によって接続し、メインCPUを介在すること無しに前記各ブロック間でデータの送受信を行い、各ブロック間の送受信コマンドにより回路ブロックの動作モードを設定したり、送受信ステータス情報により各回路ブロック間で動作状態を確認できるようにしたので、省電力モードにおいても低速で電力消費を少なくできるシリアルデータ通信によって効率良い電子回路ブロック間の制御を行うことができ、電池寿命を延ばすことが可能となる。

【図面の簡単な説明】

【図1】本発明の一次実施例に係わるデータ処理装置のシステム構成を示す外観図。

【図2】上記データ処理装置における主要電子回路の全体構成を示すブロック図。

【図3】上記データ処理装置の各チップ間にて入出力されるシリアルデータのデータ構成を示す図。

【図4】上記データ処理装置の各チップA、B、C上に備えられるシリアルデータインターフェイスにおける入出力処理を示すフローチャート。

【図5】上記データ処理装置におけるレジャー機能部を除いた電子回路の構成を示すブロック図。

【図6】上記データ処理装置のシステム状態管理部にて管理される各種システム状態情報の表示状態を示す図。

【図7】上記データ処理装置におけるスリープ及びレジャー機能部に係る電子回路の構成を示すブロック図。

【図8】上記データ処理装置のコマンド判断部におけるレジャーモード設定時のコマンド書込み動作を示すタイミングチャート。

【図9】上記データ処理装置のスリープ機能部の中心を

司るCPU及びスリープ制御部の内部構成を示すブロック図。

【図10】上記データ処理装置におけるCPUのメイン制御部からバス制御部に出力されるバス制御信号とその動作内容との関係を示す図。

【図11】上記データ処理装置のスリープモード設定時におけるスリープ処理を示すフローチャート。

【図12】上記データ処理装置におけるレジャー制御の中心を司るマイコンの内部構成を示すブロック図。

10 【図13】上記データ処理装置のレジャーモード設定時におけるレジャー処理を示すフローチャート。

【図14】上記データ処理装置のレジャーモード設定時におけるレジャー機能キャンセルメッセージの表示状態を示す図。

【図15】上記データ処理装置のCPUにおけるサスペンドイン制御処理を示すフローチャート。

【図16】上記データ処理装置のレジャーモード設定時におけるサスペンドアウト制御処理を示すフローチャート。

20 【図17】上記データ処理装置のCPUにおけるサスペンドアウト制御処理を示すフローチャート。

【図18】上記データ処理装置におけるリフレッシュ制御部の内部構成を示す回路図。

【図19】上記データ処理装置のリフレッシュ制御部におけるリフレッシュクロック(CAS、RAS)の発生動作を示すタイミングチャート。

【符号の説明】

1…パーソナルコンピュータ、2…キーボード、2a…SYSキー、2b…カーソルキー、2c…リターンキー、2d…CAPSキー、2e…NUMキー、3…液晶表示部、4…メモリカード装着部、5…拡張ディスクドライバ、6…プリンタ、7…電子手帳(RS232C搭載機器)、8…拡張ユニット、9…拡張ディスク装着部、A、B、C…チップ、11…CPU(中央処理装置)、12…DMAC(ダイレクトメモリアクセスコントローラ)、13…ROM、14…RAM、15…コンソリッド記憶制御部、16、28、33…シリアルデータインターフェイス、17…インタラプト制御部、18…RAMディスク制御部、18a…RAMディスク、19…スリープ制御部、20…リフレッシュ制御部、21…クロック発生制御部、22…バス制御部、23…システムバス、24…キーインターフェイス、25…RS232Cインターフェイス、26…プリンタインターフェイス、27…FDDインターフェイス、29…電源制御部、30…システム状態管理部、31…クロック発生部、32…電源、34…液晶表示部インターフェイス、35…システム管理表示制御部、36…システム状態表示制御部、37…表示制御部、38…VRAM、39…マイコン、40…メモリスイッチ記憶部、41…キー入力ポート、42…液晶表示制御部、43…段調・反転制

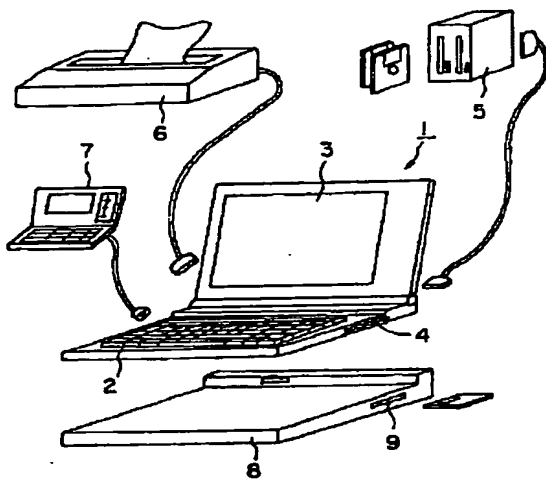
25

御部、44…表示バッファ、45…コマンド判断部、46…SRAM、47…DRAM、48…GDC（グラフィックディスプレイコントローラ）、49…バス使用クロック発生回路、50…バス使用回数カウンタ、51…カウンタラッチ回路、52…メイン制御部、53…一致判断部、54…制御部、55…入出力ポート、55a…JOBENDフラグエリア、55b…SETフラグエリア、55c…エラーフラグエリア、56…システム状態レジスタ、56a…スリープモードレジスタ、56b…レギュレーションモードレジスタ、56c…スリープレジスタ、56d…サスペンドレジスタ、57…スリープカウ

26

ンタ、58…残量判断部、59…パワースイッチ、60a、60b…シフトレジスタ、61…分周回路、62…切換え信号発生部、63…アナログディレイ回路、FF…フリップフロップ、AND…アンドゲート、INV…インバータ、 ϕ_{SYS} …システム動作クロック、 ϕ_{REFR} …リフレッシュ用クロック、X…リフレッシュ切換え信号、ST…リフレッシュタイミング信号、STD…リフレッシュタイミングディレイ信号、CAS (column address strobe)、RAS (row address strobe)…リフレッシュクロック。

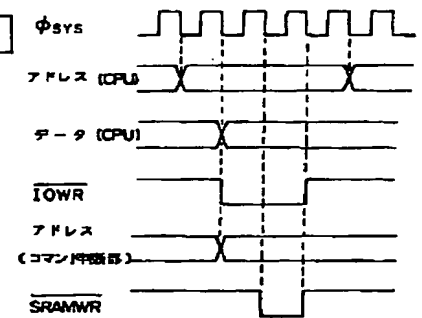
【図1】



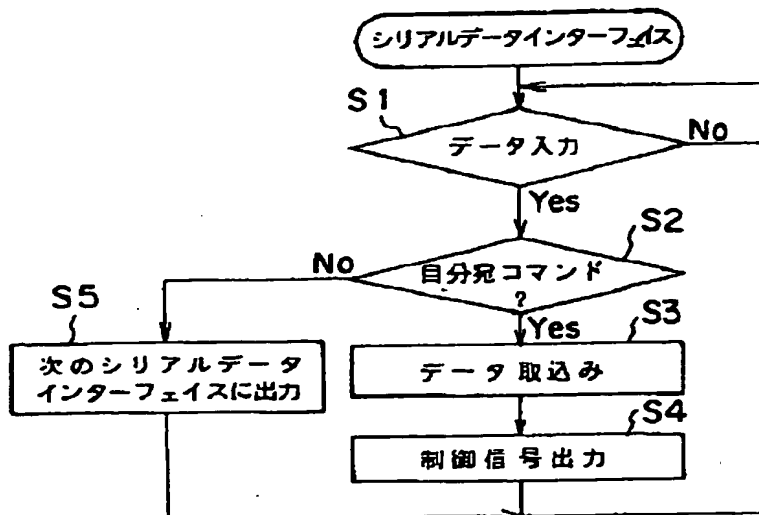
【図3】



【図8】



【図4】



【図2】

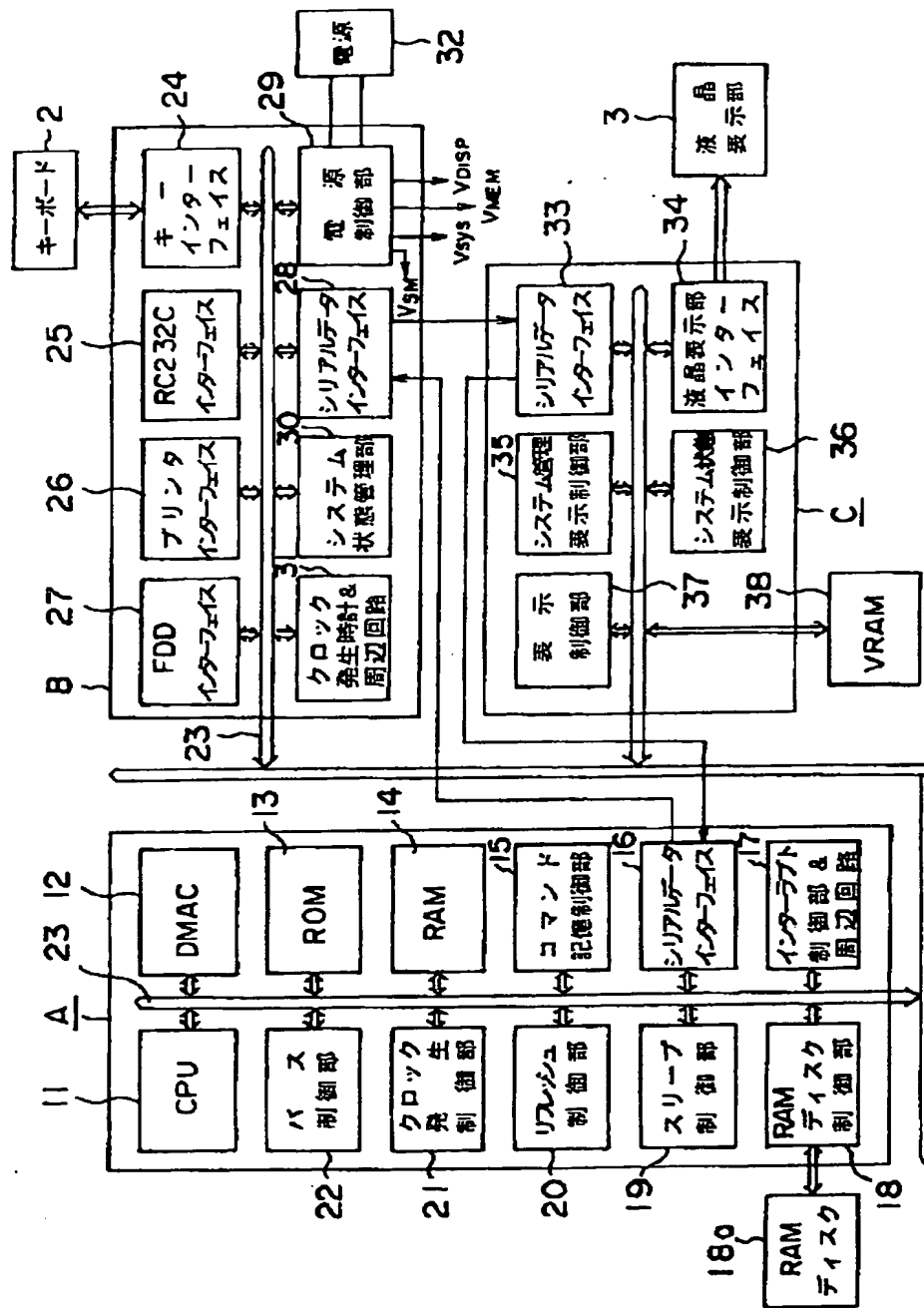
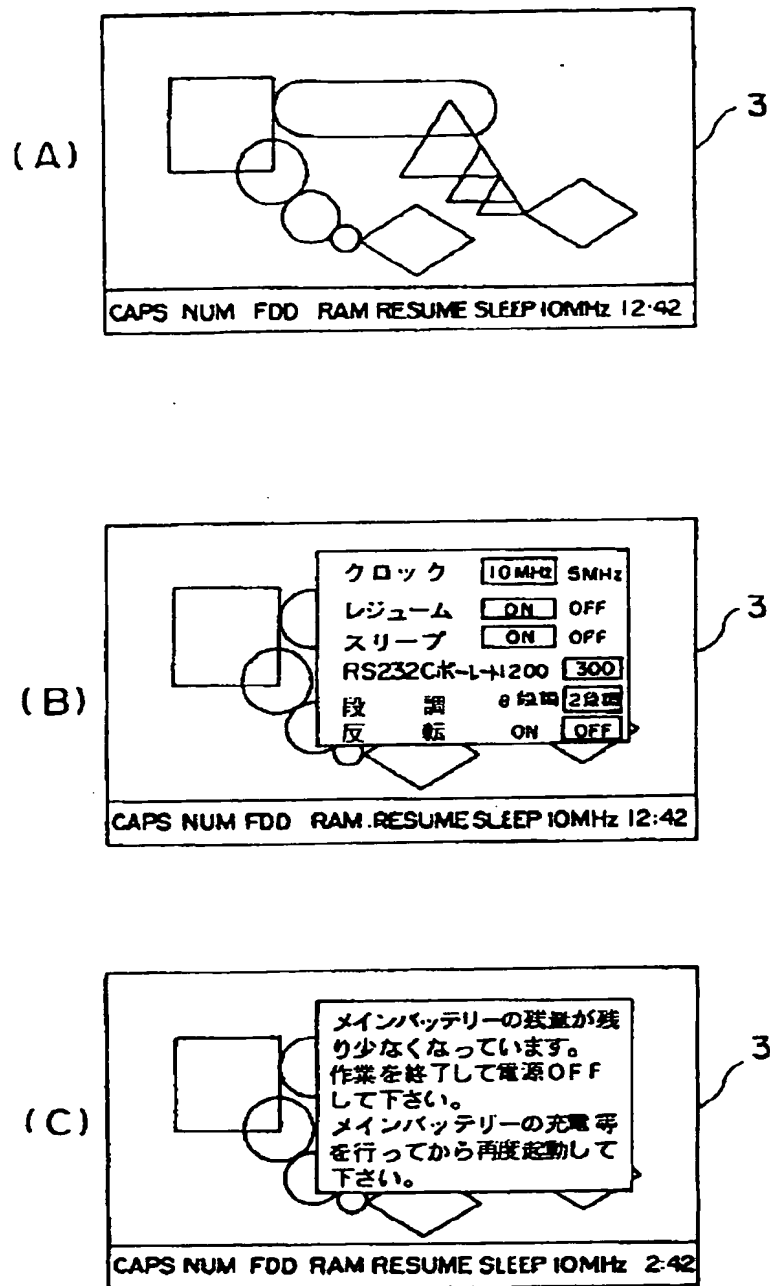
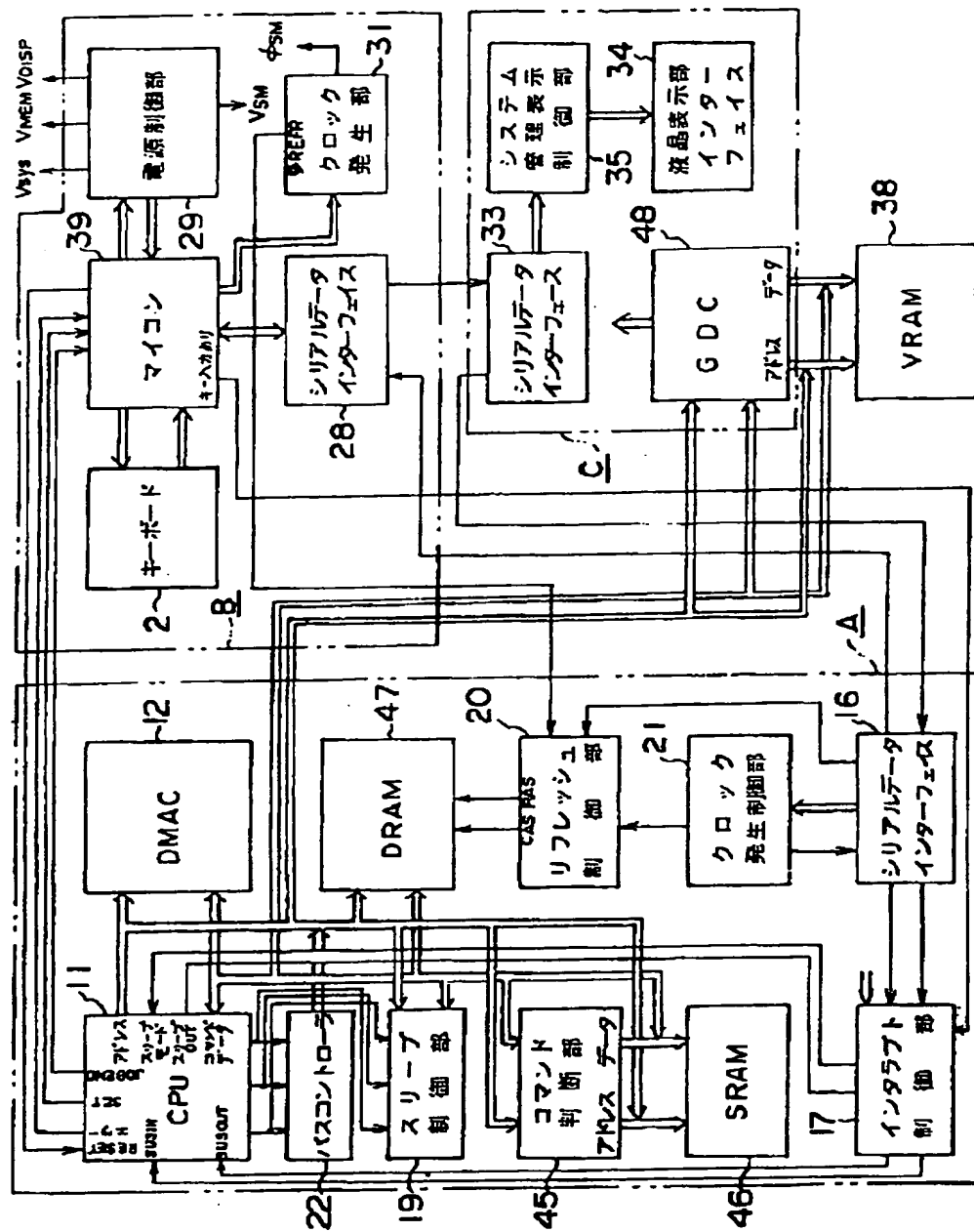


Figure 1 is a block diagram of a computer system (1). The system includes a CPU (11), RAM (18), and ROM (16). It features a power supply section (29) with AC input (32), Vsys, Vsm, and Vmem lines, and a power source (20) with Sys, Num, Caps, and Vref outputs. A microcomputer (28) is connected to a serial interface (28) and a timer (31). The system also includes a memory controller (40), a keyboard (41), and a display controller (37) connected to a display (38). External connections include a serial interface (33) and a system status display (36). The diagram is divided into sections A, B, and C.

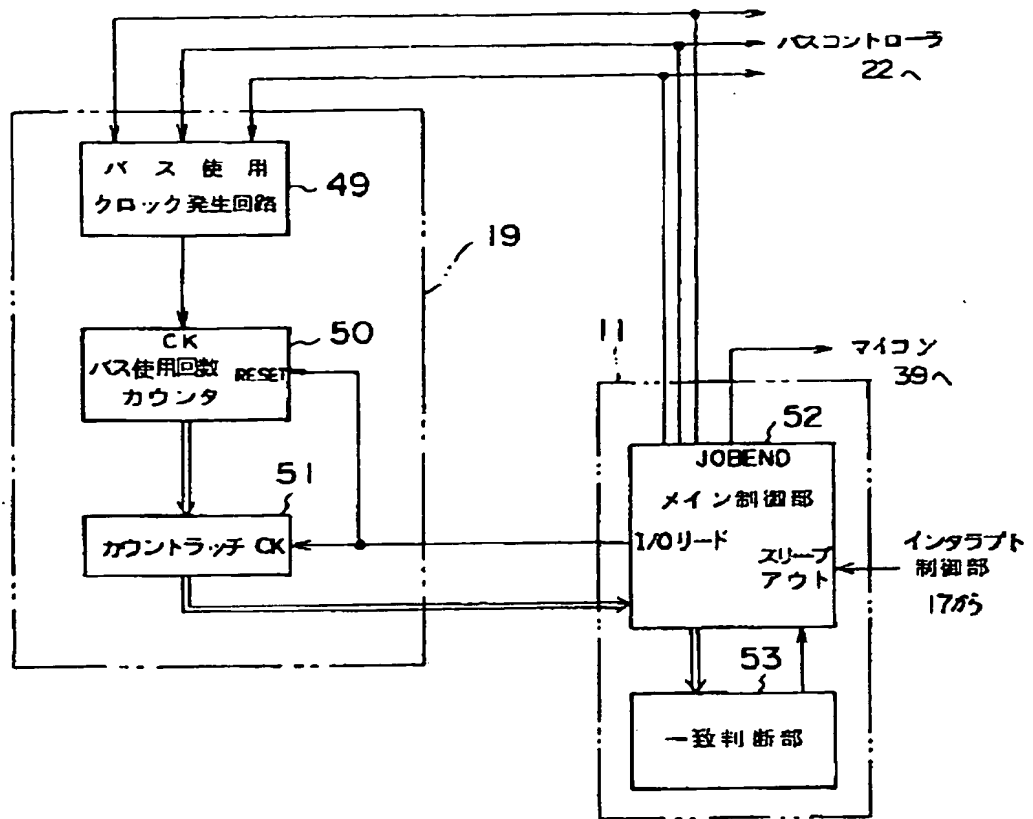
【図6】



【図7】



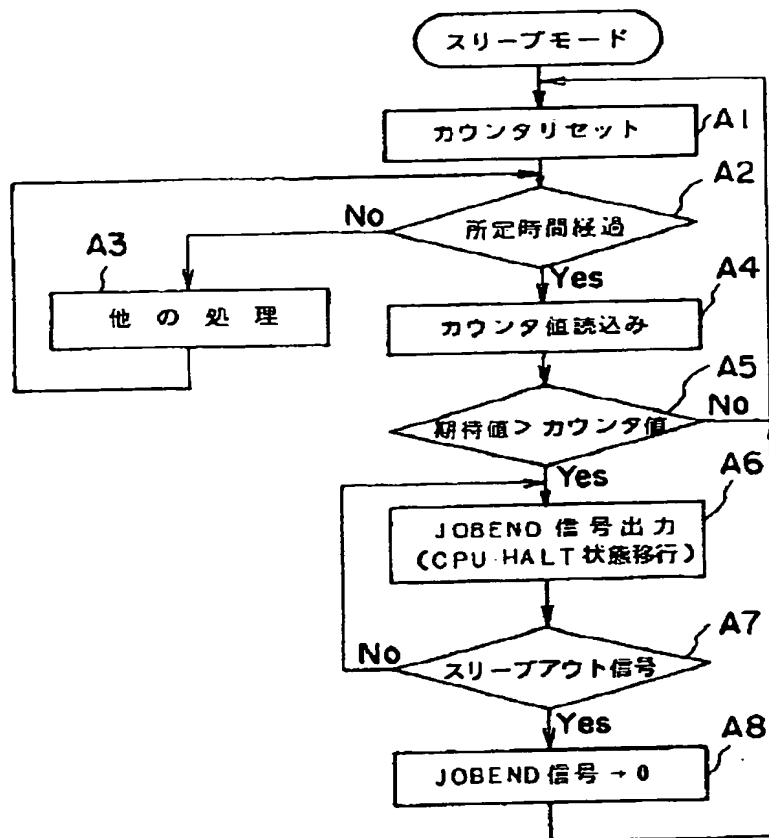
【図9】



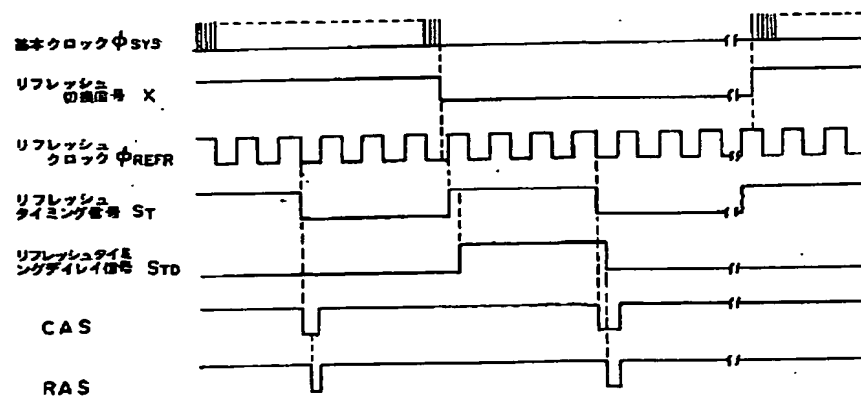
【図10】

BS0	BS1	BS2	動作内容	バス動作
0	0	0	制込み承認	○
1	0	0	I/Oリード	○
0	1	0	I/Oライト	○
1	1	0	ホルト	○
0	0	1	命令読み込み	○
1	0	1	メモリアード	○
0	1	1	メモリライト	○
1	1	1	動作なし	X

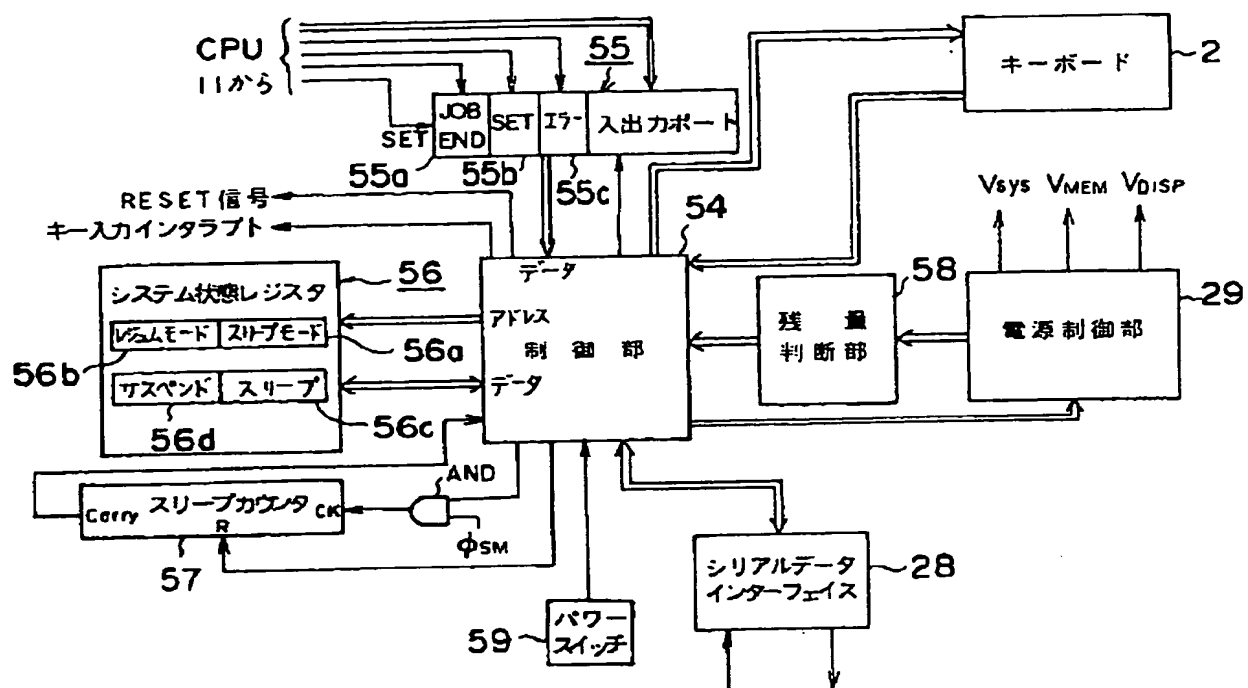
【図11】



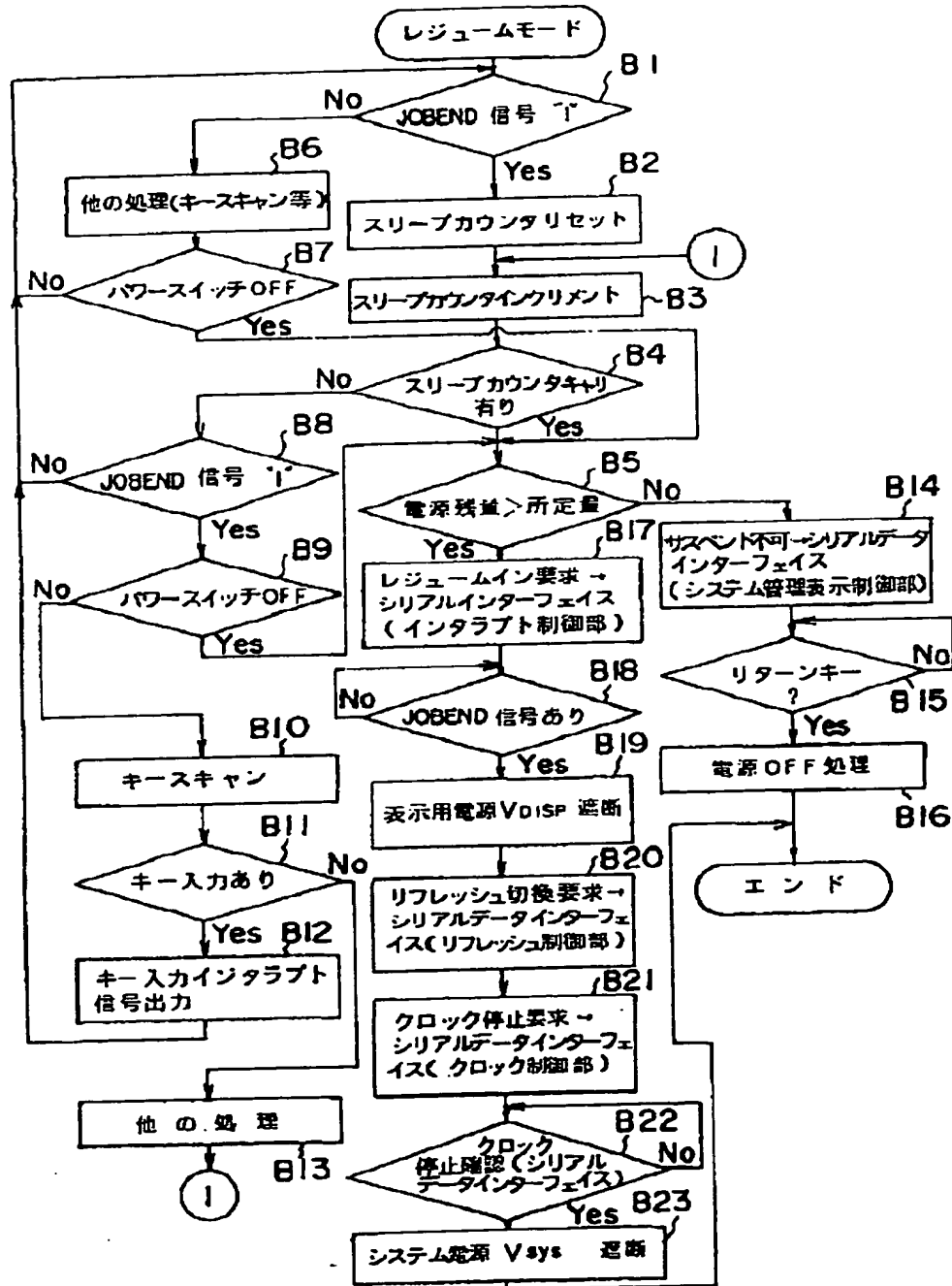
【図19】



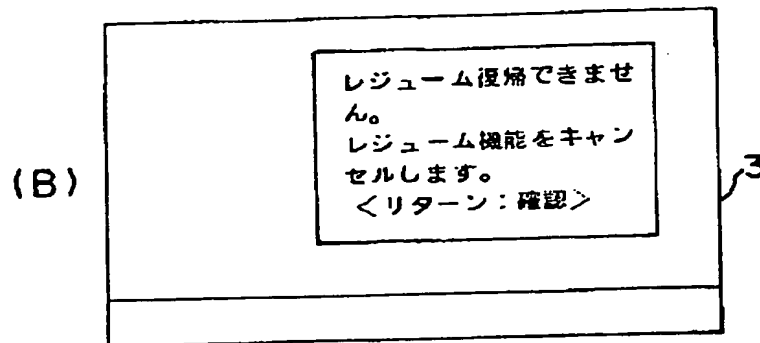
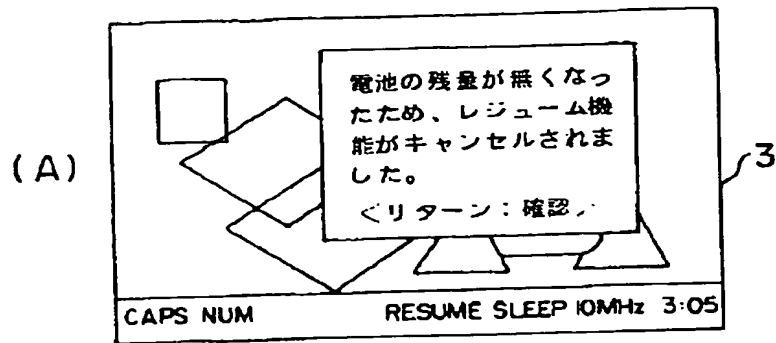
【図12】



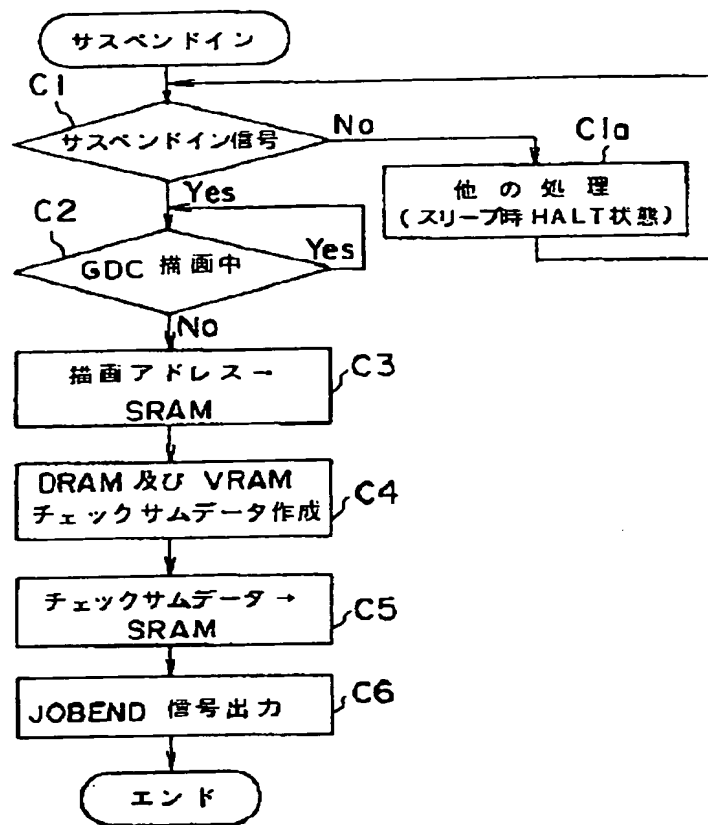
【図13】



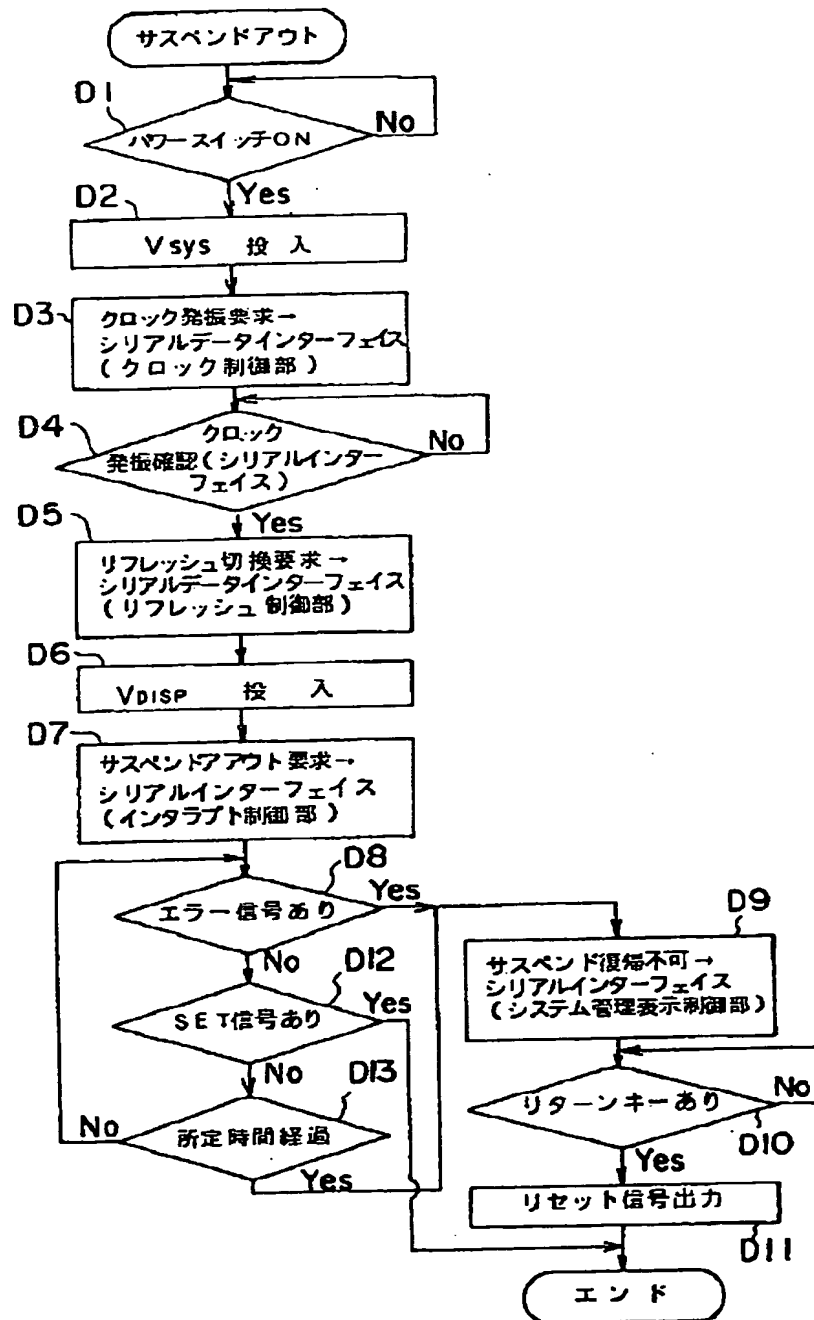
【図14】



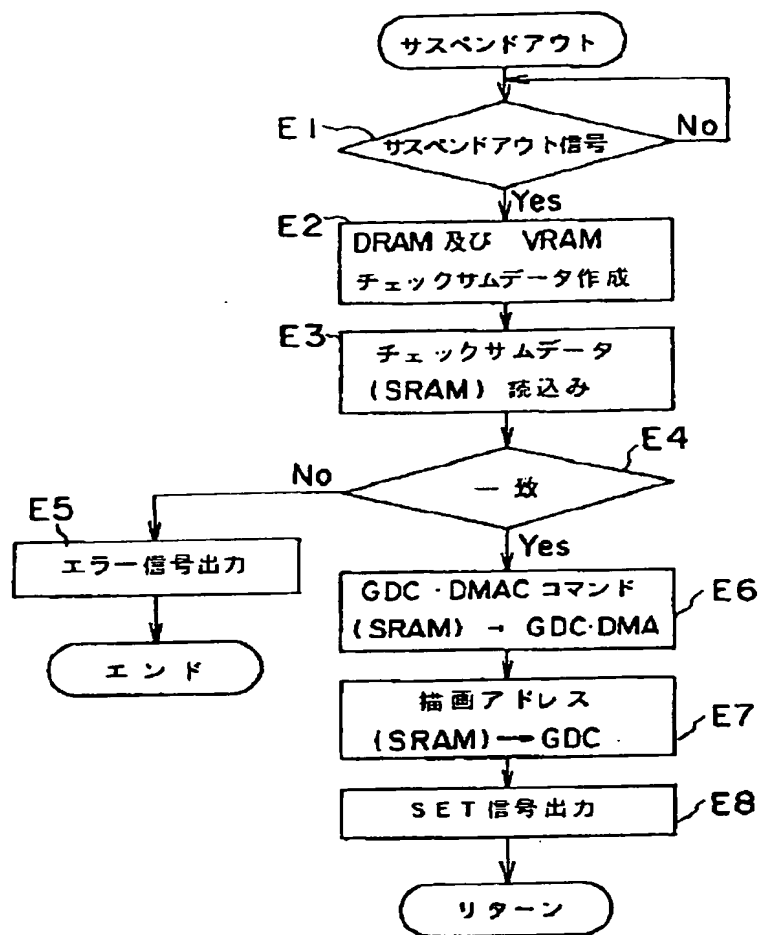
【図15】



【図16】



【図17】



【例 18】

